

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-002893

(43)Date of publication of application : 08.01.1993

(51)Int.Cl.

G11C 11/417

(21)Application number : 03-151912

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 24.06.1991

(72)Inventor : FURUYAMA TAKAAKI

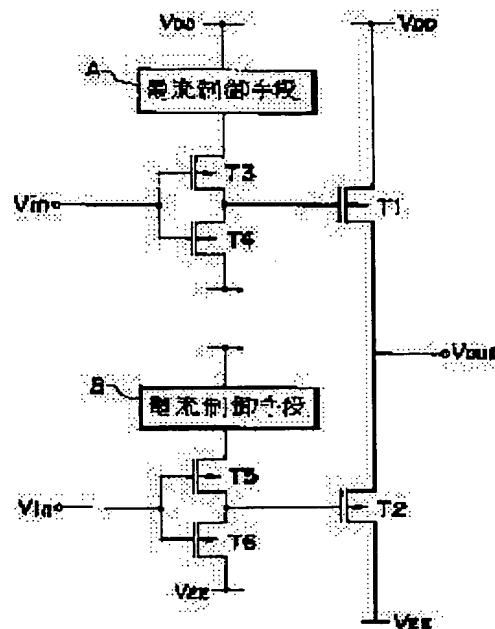
(54) OUTPUT BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To reduce power source noise without influenced by the the fluctuation of power supply and temperature and the dispersion of production process as well as without deteriorating the driving power in the output buffer circuit for digital signals.

CONSTITUTION: This output buffer circuit is equipped with a pair of output transistors T1 and T2 connected between a high voltage power supply VDD and a low voltage power supply VEE and ON/OFF operating mutually corresponding to the rise and fall of an input signal. The output terminal of a CMOS inverter composed of pull-up transistor T3 and T5 and pull-down transistors T4 and T6 is connected to each control electrode of the output transistor.

Current control means A and B making the slope of the rising speed of the pull-up transistor large in the section from the low voltage side power supply voltage to the prescribed voltage and making it small in the section from the prescribed voltage to the high pressure side power supply voltage are intervened between the pull-up transistor and the high voltage side power supply voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-2893

(43) 公開日 平成5年(1993)1月8日

(51) Int. Cl.

G 1 1 C 11/417

識別記号

庁内整理番号

F I

技術表示箇所

7323-5L

G 1 1 C 11/34

3 0 5

審査請求 未請求 請求項の数 4 (全 7 頁)

(21) 出願番号 特願平3-151912

(22) 出願日 平成3年(1991)8月24日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 古山 孝昭

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 石川 泰男

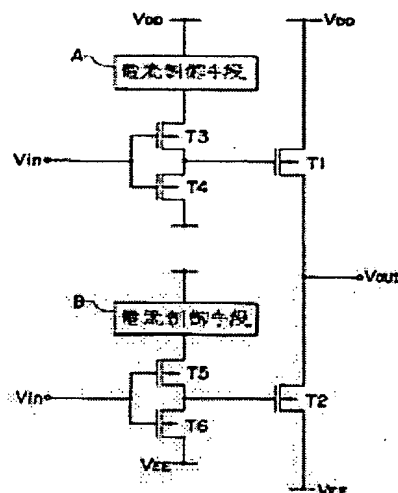
(54) 【発明の名称】 出力バッファ回路

(57) 【要約】

【目的】 デジタル信号の出力バッファ回路に関し、駆動能力を低下させずに、かつ電源や温度の変動および製造プロセスのばらつきに影響されずに、電源ノイズを低減させることを目的とし、

【構成】 高圧側電源 (VDD) と低圧側電源 (VEE) との間に接続させて、入力信号の立上りおよび立下りに対応して互いに相補的にオン・オフ動作する一対の出力トランジスタ (T1、T2) を有する出力バッファ回路において、前記出力トランジスタの各制御電極のそれぞれに、プルアップトランジスタ (T3、T5) およびプルダウントランジスタ (T4、T6) からなるCMOSインバータの出力端子が接続され、前記プルアップトランジスタと前記高圧側電源との間に、前記プルアップトランジスタの立上り速度の勾配を、前記低圧側電源電圧から所定電圧までの区間において大きくし、かつ、前記所定電圧から高圧側電源電圧までの区間において小さくする電流制御手段 (A、B) をそれぞれ介在させたことを特徴とする出力バッファ回路。

請求項1の本発明の原理構成図



【特許請求の範囲】

【請求項 1】 高圧側電源（VDD）と低圧側電源（VEE）との間に接続させて、入力信号の立上りおよび立下りに対応して互いに相補的にオン・オフ動作をする一対の出力トランジスタ（T1、T2）を有する出力バッファ回路において、前記出力トランジスタ（T1、T2）の各制御電極のそれぞれに、プルアップトランジスタ（T3、T5）およびプルダウントランジスタ（T4、T6）からなるCMOSインバータの出力端子が接続され、前記プルアップトランジスタ（T3、T5）と前記高圧側電源（VDD）との間に、前記プルアップトランジスタ（T3、T5）の立上り速度の勾配を、前記低圧側電源（VEE）から所定電圧（VM）までの区間（t1）において大きくし、かつ、前記所定電圧（VM）から高圧側電源（VDD）までの区間（t2）において小さくする電流制御手段（A、B）をそれぞれ介在させたことを特徴とする出力バッファ回路。

【請求項 2】 前記電流制御手段（A、B）は、チャネル幅を大きくしたNMOSTランジスタとチャネル幅を小さくしたPMOSTランジスタを並列に接続した回路であることを特徴とする請求項 1記載の出力バッファ回路。

【請求項 3】 高圧側電源（VDD）と低圧側電源（VEE）との間に接続させて、入力信号の立上りおよび立下りに対応して互いに相補的にオン・オフ動作をする一対の出力トランジスタ（T11、T12）を有する出力バッファ回路において、前記出力トランジスタ（T11、T12）の各制御電極のそれぞれに、プルアップトランジスタ（T13、T15）およびプルダウントランジスタ（T14、T16）からなるCMOSインバータの出力端子が接続され、前記プルアップトランジスタ（T13、T15）と前記高圧側電源（VDD）との間に、前記プルアップトランジスタ（T13、T15）の立上り速度の勾配を、所定値以下に制限する電流制限手段（C、D）をそれぞれ介在させたことを特徴とする出力バッファ回路。

【請求項 4】 前記電流制限手段（C、D）は、カレントミラー回路であることを特徴とする請求項 3記載の出力バッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル信号の出力バッファ回路に関する。近年、半導体メモリでは、複数のデータを同時出力する多ビット構成品が要求されてきている。そして、そのような多ビット出力構成とした場合には、データ出力時における出力バッファ動作による電源ノイズの低減が重要となっている。

【0002】

【従来の技術】 図8に半導体メモリに構成される従来の出力バッファ回路を示す。同図（a）に示すように出力

バッファ回路は、電源電圧VDDとアースとの間に、入力信号の立上りおよび立下りに対応して互いに相補的にオン・オフ動作をする一対の出力トランジスタT81、T82を構成し、その出力トランジスタT81、T82の各制御電極のそれぞれにインバータI81、I82の出力端子が接続されて構成され、インバータI81、I82は、図8（b）に示すように、プルアップトランジスタT83およびプルダウントランジスタT84からなるCMOS形インバータが構成されていた。半導体メモリにおいて出力を多ビットに構成する場合には、この出力バッファ回路を出力ビット数に対応して構成するようになされていた。

【0003】ところが、複数の出力バッファ回路を構成すると、数ナノ秒の間に全ての回路の出力信号が“H”から“L”またはその逆に変化することにより、瞬間的にチップ内部への大電流の流れ込みが起これ、それにより配線の抵抗やインダクタンスによって電源ノイズが発生するに至り、そして、その電源ノイズにより信号の基準電圧レベルが変化してしまうため、誤動作の原因となっていた。

【0004】そこでその対策として従来では、図8

（a）に示した出力バッファ回路の出力トランジスタT81、T82のそれぞれのチャネル幅を小さくしたり、前段のインバータI81、I82に構成されるPMOSTランジスタT83のチャネル幅を調整して、出力トランジスタT81、T82のゲートに入力する信号の立上り時間を長くするようにして、出力バッファの動作時の電源ノイズの発生を押さえるように調整を行っていた。

【0005】

【発明が解決しようとする課題】 しかしながら、出力トランジスタのチャネル幅を小さくすると、出力駆動電流が小さくなり出力バッファの能力が低下するという課題があり、また、出力トランジスタのゲート信号の立上り時間を長くする方法は、その信号の立上り時間がPMOSTランジスタの能力に依存することになり、電源や温度の変動、製造プロセスによる特性のばらつきにより、電源ノイズの発生を安定的に押さえることが困難になっていた。

【0006】本発明は、以上の点を鑑み、駆動能力を低下させずに、かつ電源や温度の変動および製造プロセスのばらつきに影響されずに、電源ノイズを低減させることができる出力バッファ回路を提供することを目的とする。

【0007】

【課題を解決するための手段】 図1は、請求項 1の本発明の原理構成図である。同図に示すように請求項 1の本発明は、高圧側電源VDDと低圧側電源VEEとの間に接続させて、入力信号の立上りおよび立下りに対応して互いに相補的にオン・オフ動作する一対の出力トランジスタT1、T2を有する出力バッファ回路において、前記出力トランジスタT1、T2の各制御電極のそれぞれに、

プルアップトランジスタT3、T5およびプルダウントランジスタT4、T6からなるCMOSインバータの出力端子が接続され、前記プルアップトランジスタT3、T5と前記高圧側電源VDDとの間に、前記プルアップトランジスタT3、T5の立上り速度の勾配を、前記低圧側電源電圧VEEから所定電圧までの区間において大きくし、かつ、前記所定電圧から高圧側電源電圧VDDまでの区間において小さくする電流制御手段A、Bをそれぞれ介在させて構成された出力バッファ回路である。

【0008】請求項2の本発明の出力バッファ回路は、前記請求項1の発明において、前記電流制御手段A、Bが、チャネル幅を大きくしたNMOSTランジスタとチャネル幅を小さくしたPMOSTランジスタを並列に接続して構成されたものである。

【0009】図5は、請求項3の本発明の原理構成図である。同図に示すように請求項3の本発明は、高圧側電源VDDと低圧側電源VEEとの間に接続させて、入力信号の立上りおよび立下りに対応して互いに相補的にオン・オフ動作する一対の出力トランジスタT11、T12を有する出力バッファ回路において、前記出力トランジスタT11、T12の各制御電極のそれぞれに、プルアップトランジスタT13、T15およびプルダウントランジスタT14、T16からなるCMOSインバータの出力端子が接続され、前記プルアップトランジスタT13、T15と前記高圧側電源VDDとの間に、前記プルアップトランジスタT13、T15の立上り速度の勾配を、所定値以下に制限する電流制限手段C、Dをそれぞれ介在させて構成された出力バッファ回路である。

【0010】請求項4の本発明は、前記請求項3の発明において、前記電流制限手段C、Dが、カレントミラー回路である出力バッファ回路である。

【0011】

【作用】請求項1の本発明では、CMOSインバータへの入力電圧が高圧側から低圧側に立ち下がる時に、プルアップトランジスタT3、T5の働きによりCMOSインバータの出力電圧は立ち上がるが、このとき、電流制御手段A、BによりプルアップトランジスタT3、T5の立上り速度が制御される。すなわち、その立上り速度の勾配が所定電圧まで大きく、その所定電圧から高圧側電源電圧VDDまでは小さくされる。出力トランジスタT1、T2は、そのCMOSインバータの出力電圧により制御される。

【0012】請求項3の本発明では、CMOSインバータの出力電圧の立上り速度は、電流制限手段C、Dにより制限される。すなわち、入力電圧の立下り速度に比してゆるやかな勾配で一定に保つように出力電圧の立上り速度が制限される。出力トランジスタT1、T2は、そのCMOSインバータの出力電圧により制御される。

【0013】

【実施例】以下、図面を参照して、本発明の実施例を詳

細に説明する。図2に請求項1の発明に係る実施例を、図6に請求項3の発明に係る実施例を示す。両図に示す実施例の出力バッファ回路は、半導体メモリに構成されるもので、高圧側電源VDDと低圧側であるアースとの間に一対のNMOSTランジスタT21、T22を、入力信号の立上りおよび立下りに対応して互いに相補的にオン・オフ動作するように接続し、その接続点を出力端子Voutとして出力トランジスタ(T21、T22)を構成し、さらにその出力トランジスタT21、T22の各制御電極のそれぞれに、CMOSインバータの出力端子が接続されて構成されている。CMOSインバータは、プルアップトランジスタとしてのPMOSTランジスタT23、T25と、プルダウントランジスタとしてのNMOSTランジスタT24、T26を、高圧側電源VDDと低圧側であるアースとの間に相補的にオン・オフ動作するように接続するとともに、それぞれのゲートを共通にして入力Vinとし、ドレインを共通にして出力として構成されている。

【0014】請求項1の発明に係る実施例

まず、図2に示す請求項1の発明に係る実施例を説明する。同図に示す出力バッファ回路は、CMOSインバータを構成するPMOSTランジスタT23、T25のソースと高圧側電源VDD間に、チャネル幅が大きく形成されたNMOSTランジスタT201、T203と、そのNMOSTランジスタT201、T203よりもチャネル幅が小さく形成されているPMOSTランジスタT202、T204を並列に接続するとともに、それぞれのトランジスタをオン状態にして、電流制御手段L21、L22を構成したものである。NMOSTランジスタT201、T203はゲートにレファレンス電圧VRefを加えてオン状態にし、PMOSTランジスタT202、T204はゲートをアースに接続することによりオン状態にしている。

【0015】図3は、上記構成におけるCMOSインバータの入力ノードN1と、出力トランジスタT21のゲート電極のノードN2における電圧の波形図である。同図において、一点鎖線は高圧側の電源電圧VDDのレベルを示し、点線の電圧レベルMvは、電流制御手段L21、L22を構成するNMOSTランジスタT201、T203のゲート電圧VRefからそのNMOSTランジスタT201、T203のしきい値電圧Vthを引いた電圧値(VRef - Vth)のレベルを示す。同図に示すように、上記構成における動作は、CMOSインバータへ入力される信号が、論理“H”の電圧(高圧側電源電圧)から“L”の電圧(アース)に変化するとき、出力トランジスタT21のゲート電圧は、VRef - Vthの電圧レベルまでNMOSTランジスタT201のチャネル幅により決まる立上り時間(t1)で立ち上がり、それ以降はPMOSTランジスタT202のみにより、そのチャネル幅により決まる立上り時間(t2)で、高圧側電源電圧VDDの電圧レベルまで引き上げられる。このとき、PMOSTランジスタT202はチャネル幅を小さくして電流量を絞り込んである

ために、出力トランジスタT21のゲートの電圧変化の勾配はゆるやかになる。

【0016】したがって、信号の切り換えのときの出力トランジスタT21、T22に流れる電流の変化はゆるやかなものとなり、複数の出力バッファ回路を構成して多ビット出力としたときの大電流の急激な変化が緩和されるため、配線上のインダクタンスによる電源ノイズが低減される。特に電源電圧の高い時に電源ノイズの低減の効果が高くなる。

【0017】なお、レファレンス電圧VRefは高圧側電源電圧VDDとしてもよいが、電源の変動によりゲート電圧が変動することになるため、電源に影響されない定電圧が好ましく、本実施例では図4(e)に示す定電圧発生回路によりレファレンス電圧VRefを作成している。レファレンス電圧VRefの電位は図中43に示す回路の多段につながれたダイオード接続のMOSトランジスタ43aのスレッシュホールド電圧 \times その段数により決められている。そして、VRef-VSS間にMOS容量のつながりが形成されてレファレンス電圧VRefを安定化させている。図中41および42に示す回路は、レファレンス電圧VRefのリーク電流分の電荷を補うために構成したものである。図中41に示すダイオード接続したMOSトランジスタの多段接続回路は、キャパシタ42bのゲート電位をレファレンス電圧VRefの電位より低いレベルにプリチャージする働きをする。これは、キャパシタ42bのゲート電位がレファレンス電圧VRefの電位より高くなると、MOSトランジスタ42aがオンになりレファレンス電圧VRefが上がるため、それを阻止するためである。

【0018】図4(b)は、定電圧発生回路の出力特性を示すものである。同図に示すように、本実施例のレファレンス電圧VRefは、電源電圧VDDが一定以上であるときは常に4.5VにNMOSトランジスタのしきい値電圧Vthをプラスした電圧に保たれるようにされている。

【0019】請求項3の発明に係る実施例

次に、図6に示す請求項3の発明に係る実施例を説明する。同図に示す出力バッファ回路は、CMOSインバータを構成するPMOSトランジスタT23、T25のソースと高圧側電源VDDとの間に、PMOSトランジスタT601、T602と抵抗R1、PMOSトランジスタT603、T604と抵抗R2よりなるカレントミラー回路を構成して、電流制限手段L61、L62としたものである。すなわち、CMOSインバータを構成するPMOSトランジスタT23、T25のソースと高圧側電源VDDとの間にPMOSトランジスタT601、T603を介設するとともに、高圧側電源VDDとアースの間にもう一方のPMOSトランジスタT602、T604と抵抗R1、R2を直列に接続して、それぞれPMOSトランジスタのゲートどうしを接続し、さらにPMOSトランジスタT602、

T604のゲートとドレインをショートさせてカレントミラー回路を構成したものである。ここに構成される抵抗R1、R2は、製造プロセスのばらつきに影響されないように形成されたものである。

【0020】図7は、上記構成におけるCMOSインバータの入力ノードN3と、出力トランジスタT21のゲート電極のノードN4における電圧の波形図である。同図に示すように、上記構成における動作は、カレントミラー回路では抵抗R1、R2の値によりPMOSトランジスタT601、T603に流れる電流が決めるため、CMOSインバータへ入力される信号が、論理“H”の電圧（高圧側電源電圧）から“L”の電圧（アース）に変化するとき、出力トランジスタT21のゲート電圧は、図に示すように、入力の立下りの勾配よりもゆるやかな立上りの勾配にされ、立上り時間は一定に保たれる。このゲート電圧の立上りの勾配は、カレントミラー回路の抵抗R1、R2の値で調整することができる。

【0021】したがって、信号の切り換えのときの出力トランジスタT21、T22の電流変化はゆるやかなものとなり、複数の出力バッファ回路を構成して多ビット出力としたときの大電流の急激な変化が緩和されるため、配線上のインダクタンスによる電源ノイズが低減される。そして、定電圧発生回路であるカレントミラー回路により出力トランジスタT21、T22のゲート電圧の立上り時間が決まるため、その立上り時間が製造プロセスに依存しないものとなり、電源ノイズを製造プロセスに影響されないで低減させることができる。

【0022】なお、以上の実施例では、半導体メモリに構成される出力バッファ回路についてのものであるため、トランジスタとしてNMOS、PMOSのユニポーラトランジスタを用いた例について述べたが、論理素子においてバイポーラトランジスタを用いた構成としても同様の効果が得られる。この場合には、NMOSトランジスタをPNPトランジスタに、PMOSトランジスタをNPNトランジスタに置き換えればよい。

【0023】

【発明の効果】以上説明したように、請求項1の本発明の出力バッファ回路では、出力トランジスタの制御電極への入力電圧が、電流制限手段により所定の電圧までは早くそれ以後は遅く立ち上がるように制御され、出力トランジスタの電流の変化が緩和されるため、出力バッファ回路の動作時の電源ノイズは低減される。特に、所定の電圧以上でゆるやかに立ち上がるため、電源電圧の変動による電源ノイズの低減に大きな効果を発揮する。

【0024】請求項3の本発明の出力バッファ回路では、出力トランジスタの制御電極への入力電圧が、電流制限手段によりゆるやかな勾配で一定に保たれて立ち上がるように電流が制限され、出力トランジスタの電流変化が緩和されるため、やはり出力バッファ回路の動作時の電源ノイズは低減される。特に、電流制限手段をカレ

ントミラー回路のような定電流回路により構成すれば、電源や温度の変動および製造プロセスのばらつきに影響されないため、出力バッファ回路の動作時の電源ノイズの低減に大きな効果を発揮する。

【図面の簡単な説明】

【図1】 請求項 1 の本発明の原理構成図である。

【図2】 請求項 1 の発明に係る実施例の出力バッファ回路である。

【図3】 図2に示す出力バッファ回路の電圧波形図である。

【図4】 図2に示す出力バッファ回路のV_{Ref}発生回路と出力特性図である。

【図5】 請求項 3 の本発明の原理構成図である。

【図6】 請求項 3 の発明に係る実施例の出力バッファ回路である。

【図7】 図6に示す出力バッファ回路の電圧波形図であ

る。

【図8】 従来の出力バッファの回路図である。

【符号の説明】

T1 ～ T6、T11～T16…トランジスタ

A、B…電流制御手段

C、D…電流制限手段

T21、T22、T81、T82…出力トランジスタ（NMOSトランジスタ）

T24、T26、T201、T203、T84…NMOSトランジスタ

T23、T25、T202、T204、T601、T602、

T603、T604、T83…PM

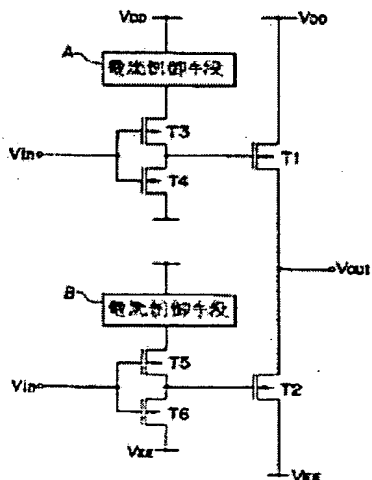
OSトランジスタ

L61、L62…カレントミラー回路（電流制限手段）

R1、R2…抵抗

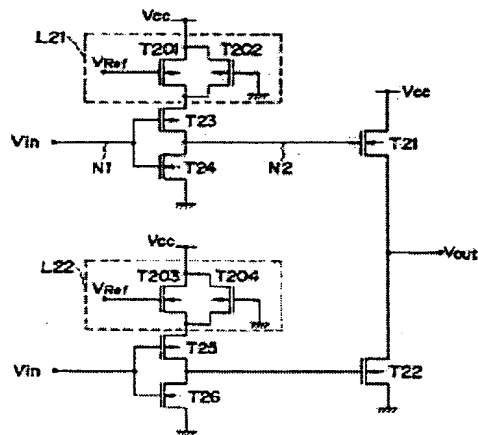
【図1】

請求項1の本発明の原理構成図



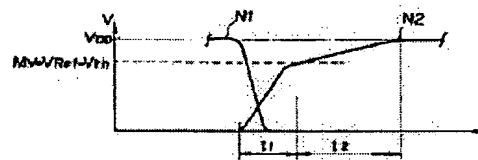
【図2】

請求項1の発明に係る実施例の出力バッファ回路



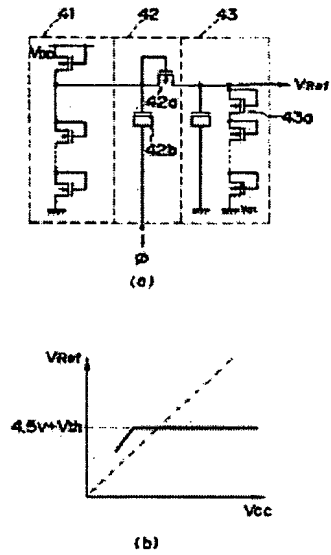
【図3】

図2に示す出力バッファ回路の電圧波形図



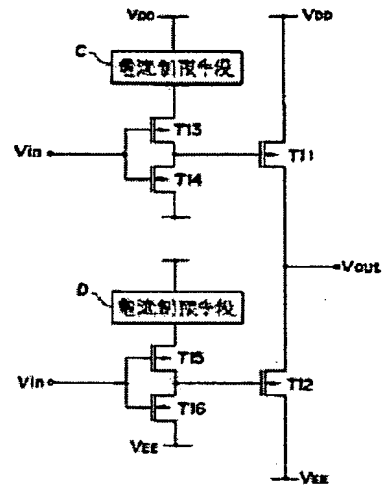
【図4】

図2に示す出力バッファ回路の V_{ref} 発生回路と出力特性図



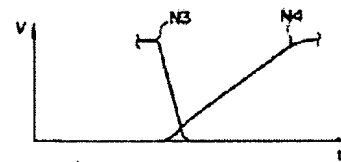
【図5】

請求項3の本発明の原理構成図



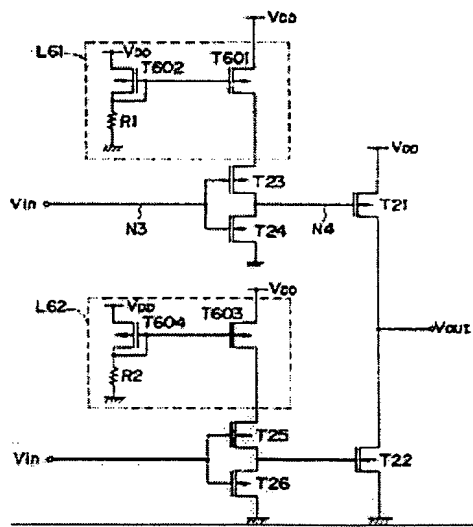
【図7】

図5に示す出力バッファ回路の電圧波形図

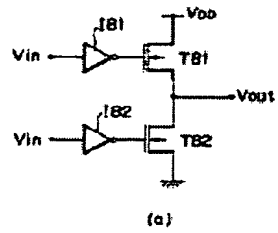


【図6】

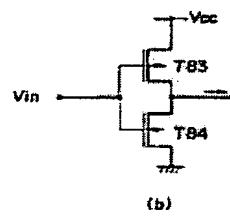
請求項3の発明に係る実施例の出力バッファ回路



【図8】
従来の出力バッファの回路図



(a)



(b)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.